

## ⑫ 公開特許公報(A) 平4-44273

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月14日

H 01 L 29/784

8422-4M

H 01 L 29/78

3 0 1 G

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 絶縁ゲート型電界効果トランジスタ

⑮ 特 願 平2-149302

⑯ 出 願 平2(1990)6月7日

⑰ 発 明 者 大 山 泰 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 井 桁 貞一

## 明 細 書

## 1 発明の名称

絶縁ゲート型電界効果トランジスタ

## 2 特許請求の範囲

(1) 半導体基板のチャネル領域上に誘電体皮膜を介してゲート電極が設けられて成る絶縁ゲート型電界効果トランジスタであって、該チャネル領域はソース領域及びドレイン領域を共有する複数のサブチャネル領域から成り、

該サブチャネル領域毎にゲート絶縁膜の厚さを異なったものとすることによって該サブチャネル毎にその閾値電圧を異ならしめ、

それによって、ゲート電圧の変化に応じて導通状態の該サブチャネルの数が変化する特性としたことを特徴とする絶縁ゲート型電界効果トランジスタ。

(2) 半導体基板のチャネル領域上に誘電体皮膜を介してゲート電極が設けられて成る絶縁ゲート型電界効果トランジスタであって、該チャネル領域

はソース領域及びドレイン領域を共有する複数のサブチャネル領域から成り、

該サブチャネル領域毎に誘電率の異なるゲート絶縁膜材料を用いることによって該サブチャネル毎にその閾値電圧を異ならしめ、

それによって、ゲート電圧の変化に応じて導通状態の該サブチャネルの数が変化する特性としたことを特徴とする絶縁ゲート型電界効果トランジスタ。

(3) 半導体基板のチャネル領域上に誘電体皮膜を介してゲート電極が設けられて成る絶縁ゲート型電界効果トランジスタであって、該チャネル領域はソース領域及びドレイン領域を共有する複数のサブチャネル領域から成り、

該サブチャネル領域毎に誘電率の異なるゲート絶縁膜材料を用いると共に、該サブチャネル領域毎にゲート絶縁膜の厚さを異なったものとすることによって該サブチャネル毎にその閾値電圧を異ならしめ、

それによって、ゲート電圧の変化に応じて導通

状態の該サブチャネルの数が変化する特性としたことを特徴とする絶縁ゲート型電界効果トランジスタ。

### 3 発明の詳細な説明

#### 〔 概 要 〕

本発明は多値論理回路で使用される複数の閾値を持つ電界効果トランジスタに関し、

より多くの論理値に対応して導電率が変化する構造のFETを実現することを目的とし、

本発明の絶縁ゲート型FETは半導体基板のチャネル領域上に誘電体皮膜を介してゲート電極が設けられて成る絶縁ゲート型電界効果トランジスタであって、該チャネル領域はソース領域及びドレイン領域を共有する複数のサブチャネル領域から成り、

該サブチャネルはゲート絶縁膜の誘電率や膜厚を変えることによって閾値を異ならせて形成されており、

それによって、ゲート電圧の変化に応じて導通

状態の該サブチャネルの数が変化する特性を持たせて構成する。

#### 〔産業上の利用分野〕

本発明は絶縁ゲート型電界効果トランジスタに関わり、特に多段の閾値電圧を備え、多値論理回路での使用に適したFETに関わるものである。以下、本明細書では絶縁ゲート型電界効果トランジスタを通称に従ってMOS Tと略記するが、ゲート絶縁膜は酸化物に限定されるものではない。

従来、電子計算機等に用いられてきた論理は2値論理であるが、最近ではファジー論理のような多値論理が取り扱われる場合も増えている。このような多値論理を扱う論理回路は通常のトランジスタの導通／非導通の状態を組み合わせる構成するよりは、入力信号のレベルに応じて出力信号のレベルが変化する型の素子を用いて構成する方がより簡潔となり、複雑な論理回路を実現するのに有利となる。但し、アナログ量を処理するのではないから、論理レベルは明確に区分されていること

が必要である。

MOS型集積回路で多値論理回路を形成する場合にも、通常のMOS Tを組み合わせた構成より、多段閾値型のMOS Tを用いる構成の方がより高い集積度の実現が容易である。そのためには入力信号の大きさに応じて導電度が段階的に変化するMOS Tが要求される。

MOS Tが実用化された初期に、単一のトランジスタのゲート構造に工夫を加え、ゲート電圧の変化に対するドレイン電流の変化を非直線的なものとした素子が、いくつか提案されている。しかしながら、この時期に技術課題として認識されていたのは、トランジスタのコンダクタンスを非直線的に形成すること即ち可変 $g_m$ 型のMOS Tを実現することであり、複数の閾値を持たせてドレイン電流を階段状に変化させるものではなかった。

これに対し、現在要求されている多値論理回路は数段～十数段の論理レベルを扱うものであって、上記の公知素子の特性は多値論理回路には不適当なものである。そのため多値論理回路に使用し得

る多段閾値型のMOS Tは新たに開発することが必要な状況にある。

#### 〔従来の技術と発明が解決しようとする課題〕

上述の可変 $g_m$ 型MOS Tのゲート電圧／ドレイン電流特性は第5図に示される如きものであるが、本発明が実現しようとする多段閾値型MOS Tのゲート電圧／ドレイン電流特性は第2図に示されるものである。

#### 〔課題を解決するための手段〕

上記の特性を実現するため、本発明のMOS Tでは

チャネル領域をS/Dを共有する複数のサブチャネルに分割し、サブチャネル毎にその閾値電圧を異ならせた構造となっており、サブチャネル毎に閾値電圧を異ならせる手段として、

(a)サブチャネル領域毎にゲート絶縁膜の厚さを異ならせる、

(b)サブチャネル領域毎にゲート絶縁膜の誘電率を

異ならせる、

(c)上記(a)および(b)の処理を組み合わせる、の何れかが採られている。

#### (作 用)

本発明の素子は、第1図に示されるように、単一のMOS Tのチャンネル領域を、ソース及びドレインを共有する複数のサブチャンネルに分割し、個々のサブチャンネルの $V_{th}$ を異ならせた構造を持つものである。図のSは共通のソース、Dは共通のドレインである。

MOS Tの閾値を決定する構造上の要素には、チャンネル長、ゲート絶縁膜の誘電率や厚さ、基板半導体の不純物濃度、ゲート電極材料の仕事関数がある。本発明のように、 $V_{th}$ の異なる複数のMOS Tを並列に配置したものを見掛け上1個の素子として形成する場合には、チャンネル長とゲート電極材料は共通となり、チャンネルを細分することで生じた個々のサブチャンネルの $V_{th}$ を異ならせるには、本発明の如く、ゲート絶縁膜の材料を異な

らせて誘電率を変えるか或いはゲート絶縁膜の膜厚を変えることが有効である。

基板の不純物濃度を変えることによって $V_{th}$ を変化させることは可能であるが、各サブチャンネルのドレイン電流特性を急峻な飽和型とする要求が優先するので、本発明の素子をこの方法で実現するのはやゝ困難である。

MOS Tに現用されているゲート絶縁膜は大半が $SiO_2$ であり、特殊な場合に窒化シリコン( $SiN_x$ )が用いられる程度である。誘電率が高く皮膜形成が可能な絶縁材料としては $Ta_2O_5$ 、 $HfO_2$ 、 $Y_2O_3$ 、 $TiBaO_2$ などが知られており、これ等の材料の誘電率は $SiO_2$ の5~10倍あるため、ゲート絶縁膜として用いた場合にはより大きい膜厚で所定の $V_{th}$ が得られることになる。すなわち、膜厚を調節して $V_{th}$ を変化させるのに好都合である。

ゲート絶縁膜を $SiO_2$ とした通常のMOS Tでは、チャンネル領域の不純物濃度が $1 \times 10^{14} cm^{-3}$ の場合、膜厚が250Å変化すると $V_{th}$ はおおよそ1.0

V変化する。この関係は比較的広い範囲にわたって直線的であるから、これを利用して、1Vずつ段階的に変化するように $V_{th}$ を調整することも可能である。

後述する実施例のように、チャンネル長1 $\mu m$ 、サブチャンネルの幅1.2 $\mu m$ 程度の微細な寸法で多段階値MOS Tを形成しようとする場合、ゲート絶縁膜材料を変えるだけの方法によって $V_{th}$ を必要な段数だけ所定の間隔で変化させることは工程の煩雑化を伴うことになる。また、ゲート絶縁膜の膜厚だけを変えて $V_{th}$ を調整することは、最新のエッチング技術を以てしても、要求される段数が多い時には、十分な再現性を得ることが困難となる。

このような工程上の負担を軽減するため、例えば2~3個のサブチャンネルを単位としてゲート絶縁膜材料を変更し、ゲート絶縁膜が同一材料のサブチャンネル間では膜厚を異ならせるようにすれば、微細寸法のサブチャンネルに対しても所定の値の $V_{th}$ を設定することが容易となる。

また、基板不純物濃度をサブチャンネル毎に調整することは、集束イオンビームを用いる選択イオン注入によれば可能であり、ドーズ量を精密に制御することによって $V_{th}$ を所望の値に調整することも技術的には不可能ではない。しかしながら、集束イオンビームを用いる選択イオン注入によってウエハ全域のMOS Tの $V_{th}$ 調整を行うには、長大な処理時間が要求される。従って基板不純物濃度の調整、いわゆるチャンネル・ドーピングは、それだけでサブチャンネルの $V_{th}$ の調整を行うことはせず、補助的に利用するのが妥当である。

このように複数の手段を組み合わせる利用することによって従来行われなかったような微細チャンネル領域の $V_{th}$ を高精度に制御することが可能となり、第2図に模式的に示されるような、階段状のV-I特性を持つMOS Tが実現することになる。

#### (実施例)

第1図は本発明のMOS Tの構造を模式的に示

す斜視図である。該図に示されたM O S Tは3個のサブチャネルを持ち、各サブチャネルのゲート絶縁膜の厚さが異なる構造となっている。また、この素子のゲート電圧に対するドレイン電流の変化を示す特性曲線は第2図に示すようなものとなっており、各サブチャネルのON/OFF閾値を越えてゲート電圧が増加する度に、ドレイン電流は階段状に増加する。

第3図は本発明の請求項1に対応する第1の実施例の構造を模式的に示す断面図であり、SiO<sub>2</sub>であるゲート酸化膜2及び2'は、2つのサブチャネルSch1とSch2でその厚さが異なっている。該素子の基板の不純物濃度は $1 \times 10^{14} \text{cm}^{-3}$ 、両サブチャネルのゲート酸化膜の厚さには250Åの差があり、その結果 $V_{th}$ には1Vの差が生じている。同図で1はSi基板3はポリSiのゲート電極、4はフィールド酸化膜である。

また、第4図は本発明の請求項2に対応する第2の実施例の構造を模式的に示す断面図であり、2つのサブチャネルSch1とSch2でゲート酸化膜の

材料が異なり、その誘電率の差に応じて $V_{th}$ が異なっている。該図の2はSiO<sub>2</sub>のゲート酸化膜、2'はSiN<sub>x</sub>のゲート酸化膜である。

#### 〔発明の効果〕

以上説明したように、本発明の多段閾値M O S Tは多値論理回路の形成に適したドレイン電流特性を備えており、形成時の閾値調整が容易な構造を持つものであるから、本発明の素子を利用することにより、多値論理回路を簡易に形成することが可能となる。

#### 4 図面の簡単な説明

第1図は本発明の素子の構造を模式的に示す斜視図、

第2図は本発明の素子のドレイン電流特性を示す図、

第3図は本発明の第1の実施例の構造を示す断面模式図、

第4図は本発明の第2の実施例の構造を示す断

面模式図、

第5図は公知の可変g m型素子のドレイン電流特性を示す図

であって、

図に於いて

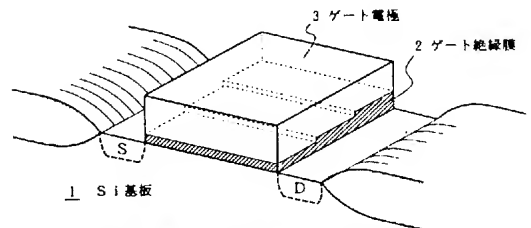
1はSi基板

2, 2'はゲート絶縁膜、

3はゲート電極、

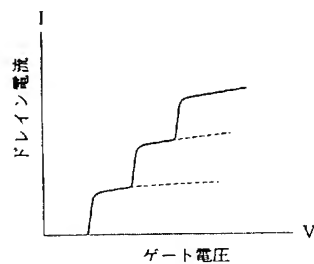
4はフィールド酸化膜

である。



本発明の素子の構造を模式的に示す斜視図

第1図

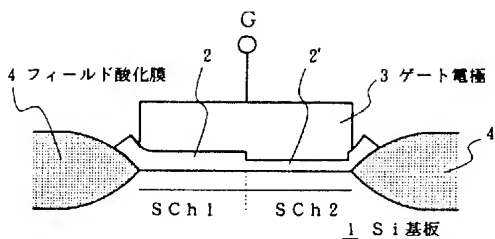


本発明の素子のドレイン電流特性を示す図

第2図

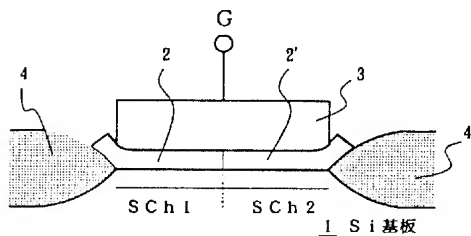
代理人 弁理士 井 桁 貞 一





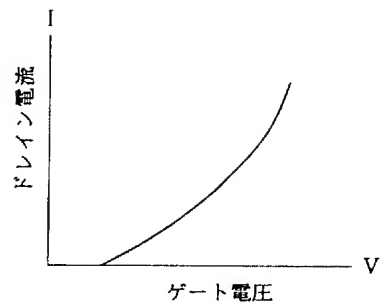
本発明の第1の実施例の構造を示す断面模式図

第3図



本発明の第2の実施例の構造を示す断面模式図

第4図



公知の変 $g_m$ 型素子のドレイン電流特性を示す図

第5図

**PAT-NO:** JP404044273A  
**DOCUMENT-IDENTIFIER:** JP 04044273 A  
**TITLE:** INSULATED-GATE FIELD-EFFECT TRANSISTOR  
**PUBN-DATE:** February 14, 1992

**INVENTOR-INFORMATION:**

NAME	COUNTRY
OYAMA, YASUSHI	

**ASSIGNEE-INFORMATION:**

NAME	COUNTRY
FUJITSU LTD	N/A

**APPL-NO:** JP02149302  
**APPL-DATE:** June 7, 1990

**INT-CL (IPC):** H01L029/784

**US-CL-CURRENT:** 257/392

**ABSTRACT:**

**PURPOSE:** To simply form a multivalued logic circuit by forming a channel region of a plurality of subchannel regions for a shared use of a source region and a drain region, and further

forming the subchannel with different threshold values by altering the dielectric constant thickness of a gate insulating film.

CONSTITUTION: A channel region is divided into a plurality of subchannels for a shared use of S/D, and formed in a structure in which threshold voltages are different at respective subchannels. As means for differentiating the threshold values at the respective subchannels, a structure in which gate oxide films 2,2' of SiO<sub>2</sub> have different thicknesses at two subchannels SCh1 and SCh2. In a method of forming a structure in which the materials of the gate oxide films of the two subchannels SCh1 and SCh2 are different, these steps are further combined and conducted.

COPYRIGHT: (C)1992,JPO&Japio